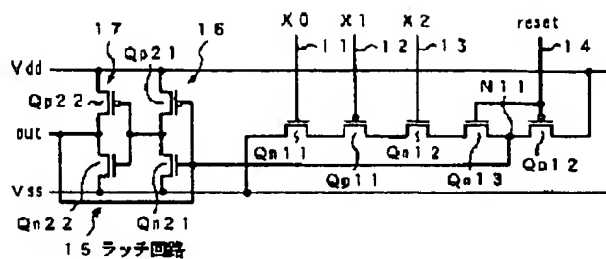


Patent Abstracts of Japan

APPLICATION DATE : 31-10-97
APPLICATION NUMBER : 09299999

INVENTOR : INO MASUMITSU;

TITLE : DECODER, DIGITAL/ANALOG
CONVERSION CIRCUIT USING THE
SAME AND DRIVING CIRCUIT FOR
MATRIX TYPE LIQUID CRYSTAL
DISPLAY DEVICE



SOLUTION: In a 3-bit decoder, three pieces of MOS transistors Qn11, Qp11 and Qn12 ON/OFF operated corresponding to the logic of the respective bits of input data X0, X1 and X2 are connected in series between a negative power supply Vss and an output node N11 through a MOS transistor Qn for obstructing a through current in a reset period, while a MOS transistor Qp12 for resetting the potential of the output node N11 to the power supply voltage of a positive power supply Vdd is provided and the logical stage of the output node N11 is latched in a latch circuit 15.

COPYRIGHT: (C)1999,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-136130

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 M 1/74

H 0 3 M 1/74

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

G 0 9 G 3/36

G 0 9 G 3/36

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21) 出願番号 特願平9-299999

(22) 出願日 平成9年(1997)10月31日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 市川 弘明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 船橋 國則

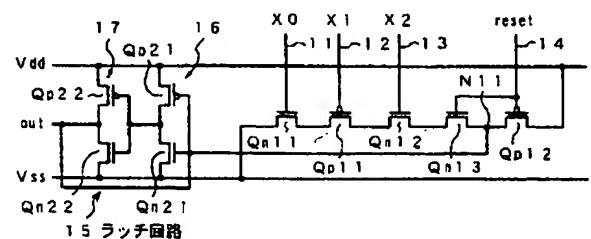
最終頁に続く

(54) 【発明の名称】 デコーダおよびこれを用いたデジタルアナログ変換回路並びにマトリクス型液晶表示装置の駆動回路

(57) 【要約】

【課題】 NAND回路を用いて構成したデコーダの場合、入力データのビット数の2倍の入力配線数が必要になるとともに、入力データのビット数の2倍のトランジスタ数が必要になるため、これらの占有面積が増大し、また入力データのビット数が増える程トランジスタの数も多くなってしまう。

【解決手段】 3ビットデコーダにおいて、入力データX0、X1、X2の各ビットの論理に応じてオン/オフ動作をする3個のMOSTランジスタQn11、Qp11、Qn12を負電源Vssと出力ノードN11の間に、リセット期間での貫通電流を阻止するMOSTランジスタQnを介して直列に接続し、出力ノードN11の電位を正電源Vddの電源電圧にリセットするMOSTランジスタQp12を設け、出力ノードN11の論理状態をラッチ回路15でラッチするようにする。



【特許請求の範囲】

【請求項1】 第1電源と出力ノードの間に直列に接続され、 n ビット（ n は2以上の整数）の入力データの各ビットの論理に応じてオン、オフ動作をする n 個のスイッチ手段と、

前記出力ノードの論理状態をラッチするラッチ手段と、前記出力ノードと第2電源の間に接続され、前記出力ノードの電位を前記第2電源の電源電圧にリセットするリセット手段とを備えたことを特徴とするデコーダ。

【請求項2】 前記 n 個のスイッチ手段と前記出力ノードの間に接続され、前記リセット手段によるリセット期間に前記 n 個のスイッチ手段に流れる貫通電流を阻止する阻止手段を備えたことを特徴とする請求項1記載のデコーダ。

【請求項3】 前記ラッチ手段は、前記出力ノードに入力端が接続された第1のインバータと、前記第1のインバータの出力端に入力端が、前記出力ノードに出力端がそれぞれ接続された第2のインバータとからなることを特徴とする請求項1記載のデコーダ。

【請求項4】 前記出力ノードと前記第2のインバータの出力端から互いに逆論理の2つの出力を導出することを特徴とする請求項3記載のデコーダ。

【請求項5】 前記ラッチ手段は、前記出力ノードと前記第1電源の間に接続されたキャパシタからなることを特徴とする請求項1記載のデコーダ。

【請求項6】 前記 n 個のスイッチ手段、前記ラッチ手段および前記リセット手段を有する回路を単位ユニットとし、この単位ユニットが 2^n 個並列に接続されてなることを特徴とする請求項1記載のデコーダ。

【請求項7】 前記単位ユニットは、前記 n 個のスイッチ手段と前記出力ノードの間に接続され、前記リセット手段によるリセット期間に前記 n 個のスイッチ手段に流れる貫通電流を阻止する阻止手段を有することを特徴とする請求項6記載のデコーダ。

【請求項8】 n ビット（ n は2以上の整数）の入力データに基づいて 2^n 通りの出力を得るデコーダと、このデコーダの出力に基づいて 2^n 階調となる基準電圧のうちの1つを選択して出力する選択回路とからなるデジタルアナログ変換回路であって、

前記デコーダは、

第1電源と出力ノードの間に直列に接続され、入力データの各ビットの論理に応じてオン/オフ動作をする n 個のスイッチ手段と、

前記出力ノードの論理状態をラッチするラッチ手段と、前記出力ノードと第2電源の間に接続され、前記出力ノードの電位を前記第2電源の電源電圧にリセットするリセット手段とを有する単位ユニットが 2^n 個並列に接続されてなることを特徴とするデジタルアナログ変換回路。

【請求項9】 前記 n 個のスイッチ手段と前記出力ノードの間に接続され、前記リセット手段によるリセット期間に前記 n 個のスイッチ手段に流れる貫通電流を阻止する阻止手段を有することを特徴とする請求項8記載のデジタルアナログ変換回路。

【請求項10】 行列状に2次元配置された複数個の画素を列単位で選択する水平駆動回路が、 n ビット（ n は2以上の整数）の入力データに基づいて 2^n 通りの出力を得るデコーダと、このデコーダの出力に基づいて 2^n 階調となる基準電圧のうちの1つを選択して出力する選択回路とからなるデジタルアナログ変換回路を用いて構成されたマトリクス型液晶表示装置において、前記デコーダは、

第1電源と出力ノードの間に直列に接続され、入力データの各ビットの論理に応じてオン/オフ動作をする n 個のスイッチ手段と、前記出力ノードの論理状態をラッチするラッチ手段と、前記出力ノードと第2電源の間に接続され、前記出力ノードの電位を前記第2電源の電源電圧にリセットするリセット手段とを有する単位ユニットが 2^n 個並列に接続されてなることを特徴とするマトリクス型液晶表示装置の駆動回路。

【請求項11】 前記 n 個のスイッチ手段と前記出力ノードの間に接続され、前記リセット手段によるリセット期間に前記 n 個のスイッチ手段に流れる貫通電流を阻止する阻止手段を有することを特徴とする請求項10記載のマトリクス型液晶表示装置の駆動回路。

【発明の詳細な説明】
【0001】
【発明の属する技術分野】本発明は、デコーダおよびこれを用いたデジタルアナログ変換回路、並びにこのデジタルアナログ変換回路を用いて水平駆動回路を構成してなるマトリクス型液晶表示装置の駆動回路に関する。

【0002】
【従来の技術】デコーダは一般的に、図7に示するような構成となっている。なお、図7には、一例として、3ビットのデコーダを示している。そして、図8の論理表に示すように、3ビットの入力データ $X_0 \sim X_2$ に基づいて $8 (= 2^3)$ 個の出力 $Y_0 \sim Y_7$ のうちの1つを指定するようになる。

【0003】通常、デコーダを構成する場合、図7から

明らかなように、3ビットの入力データ $X_0 \sim X_2$ に対してそれぞれインバータ101～103を設け、各ビットにつき互いに逆論理の2つのデータとして入力する必要がある。したがって、3ビットデコーダの場合には、デコーダへの入力データは3ビット $\times 2$ となる。つまり、3ビットデコーダは6入力で制御されることになる。

【0004】また、8個の出力 $Y_0 \sim Y_7$ のうちの1つを指定するために、通常、スタティックな回路である8個のNAND回路（又は、AND回路）111～118

が用いられる。図9に、3入力NAND回路の構成の一例を示す。同図において、3個のPチャネルMOSトランジスタQp101～Qp103が並列に接続され、各ゲート電極が3個の入力端子101～103にそれぞれ接続されている。PチャネルMOSトランジスタQp101～Qp103の共通接続された各ソース電極は正電源Vddに接続されている。

【0005】PチャネルMOSトランジスタQp101～Qp103の共通接続された各ドレイン電極と負電源Vssの間には、3個のNチャネルMOSトランジスタQn101～Qn103が直列に接続され、各ゲート電極が3個の入力端子101～103にそれぞれ接続されている。そして、PチャネルMOSトランジスタQp101～Qp103の共通接続された各ドレイン電極が出力端子104に接続されている。

【0006】

【発明が解決しようとする課題】このように、従来の一般的なデコーダでは、入力データのビット数の2倍の入力配線数が必要になるとともに、上述したNAND回路を用いて構成することで入力データのビット数の2倍のトランジスタ数が必要になるため、これらの占有面積が増大し、また入力データのビット数が増える程トランジスタの数も多くなってしまふ。

【0007】上記構成のデコーダは、一例として、デジタル入力のマトリクス型液晶表示装置において、その水平駆動回路内のデジタルアナログ変換回路を構成するのに用いられる。しかしながら、当該水平駆動回路を含む駆動系を液晶パネルと同一基板上に作成する液晶表示装置を考えると、上記構成のデコーダを用いてデジタルアナログ変換回路を構成するのは、画素の狭ピッチ化が進む現在ではレイアウト上困難となる。

【0008】図10に、上記構成のデコーダを用いた従来のデジタルアナログ変換回路の構成の一例を示す。なお、図中、図7と同等部分には同一符号を付し、その説明については重複するので省略する。

【0009】図10において、8階調となる基準電圧1～8を与える電圧線121～128の各々と図示せぬ液晶パネルにおける1本の信号線129の間には、アナログスイッチ131～138が接続されている。液晶パネルにおいて、1本の信号線129には、ある1列分の画素が接続される。アナログスイッチ131～138の各々は、C-MOSトランジスタによって構成され、NAND回路111～118の各出力およびこれら出力の極性を反転するインバータ141～148の各出力、即ち互いに逆極性の2つのデコード出力によってオン/オフ制御される。

【0010】上記構成の従来のデジタルアナログ変換回路における単位ユニット、例えばNAND回路111、インバータ141およびアナログスイッチ131の具体的な回路構成を図11に示す。なお、図中、NAND回

路111の回路構成は、図9に示した回路構成と同じであるので、同等部分には同一符号を付し、その説明については重複するので省略する。

【0011】図11において、インバータ141は、正電源Vddと負電源Vssの間に直列に接続され、各ゲート電極がNAND回路111の出力端に共通に接続されたPチャネルMOSトランジスタQp111およびNチャネルMOSトランジスタQn111からなるC-MOSインバータによって構成されている。アナログスイッチ131は、先述したように、互いに並列に接続されたPチャネルMOSトランジスタQp121およびNチャネルMOSトランジスタQn121からなるC-MOSトランジスタによって構成されている。

【0012】このように、デジタル入力のマトリクス型液晶表示装置において、NAND回路からなるデコーダを用いてデジタルアナログ変換回路を構成する際には、例えば3ビットの場合、入力配線はビット数の2倍の6本必要となり、また8階調となる基準電圧1～8が必要であるため、それに対応した8個の単位ユニットが必要となる。そして、単位ユニットを構成するのに、図11から明らかなように、NAND回路として6個、インバータとして2個、C-MOSアナログスイッチとして2個の計10個のトランジスタが必要となる。

【0013】また、4ビットの場合は16階調となるため、入力配線が8本、単位ユニットが16個必要となり、単位ユニットを構成するのに、NAND回路として8個、インバータとして2個、C-MOSアナログスイッチとして2個の計12個のトランジスタが必要となる。このように、入力データのビット数が増えるにしたがって入力配線数および単位ユニットを構成するトランジスタ数が増加し、その占有面積が増大するため、画素の狭ピッチ化が進むと、レイアウト上、駆動系を液晶パネルと同一基板上に作成するのは困難となる。

【0014】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、入力配線数が最小限で済むとともに、シンプルなレイアウトで構成可能なデコーダおよびこれを用いたデジタルアナログ変換回路、さらにはこのデジタルアナログ変換回路を用いて水平駆動回路を構成してなるマトリクス型液晶表示装置の駆動回路を提供することにある。

【0015】

【課題を解決するための手段】本発明によるデコーダは、第1電源と出力ノードの間に直列に接続され、nビット（nは2以上の整数）の入力データの各ビットの論理に応じてオン/オフ動作をするn個のスイッチ手段と、出力ノードの論理状態をラッチするラッチ手段と、出力ノードと第2電源の間に接続され、出力ノードの電位を第2電源の電源電圧にリセットするリセット手段とを備えた構成となっている。

【0016】上記構成のデコーダにおいて、先ず、リセ

ット手段が出力ノードの電位を第2電源の電源電圧にリセットする。これにより、出力ノード電位のリフレッシュが行われる。その後、各ビットが所定の論理のデータが入力されると、対応する n 個のスイッチ手段がオン（導通）状態となる。すると、出力ノードと第1電源の間が短絡状態となり、出力ノードの電位が第1電源の電源電圧となる。そして、この出力ノードの電位状態（論理）がラッチ手段にラッチされる。

【0017】このデコーダを単位ユニットとし、この単位ユニットを 2^n 個並列に接続することで、 n ビットの入力データに基づいて 2^n 個の出力のうちの1つを選択する多ビットデコーダが構成される。また、この多ビットデコーダを用いることにより、 2^n 階調となる基準電圧の中から入力データに対応した1つの基準電圧を選択してアナログ信号として出力するデジタルアナログ変換回路が構成される。さらに、このデジタルアナログ変換回路は、マトリクス型液晶表示装置の駆動系において、デジタル信号を入力とする水平駆動回路内のデジタルアナログ変換回路として用いられる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態を示す回路図である。なお、本実施形態では、一例として、3ビットデコーダに適用し、入力データ $X_0 \sim X_2$ の各論理が例えば(101)の場合を例にとっている。

【0019】図1において、3ビットの入力データ X_0 、 X_1 、 X_2 に対応した3個のスイッチ手段として、NチャネルMOSTランジスタ Q_{n11} 、PチャネルMOSTランジスタ Q_{p11} およびNチャネルMOSTランジスタ Q_{n12} が順に直列に接続されて設けられている。これらMOSTランジスタ Q_{n11} 、 Q_{p11} 、 Q_{n12} の各ゲート電極には、データ線11、12、13を介して3ビットの入力データ X_0 、 X_1 、 X_2 が与えられる。

【0020】NチャネルMOSTランジスタ Q_{n11} のソース電極は、第1電源である負電源 V_{ss} に接続され、NチャネルMOSTランジスタ Q_{n12} のソース電極は、NチャネルMOSTランジスタ Q_{n13} を介して出力ノードN11に接続されている。また、出力ノードN11と第2電源である正電源 V_{dd} の間には、PチャネルMOSTランジスタ Q_{p12} がリセット手段として接続されている。PチャネルMOSTランジスタ Q_{p12} とNチャネルMOSTランジスタ Q_{n13} の各ゲート電極には、リセット線14を介してリセットパルス $reset$ が適当なタイミングで印加される。

【0021】PチャネルMOSTランジスタ Q_{p12} は、そのゲート電極にローレベルのリセットパルス $reset$ が印加されることによってオン（導通）状態となり、出力ノードN11の電位を電源電圧 V_{dd} にリセッ

トする作用をなす。これに対して、NチャネルMOSTランジスタ Q_{n13} は、PチャネルMOSTランジスタ Q_{p12} によるリセット期間にNチャネルMOSTランジスタ Q_{n11} 、PチャネルMOSTランジスタ Q_{p11} およびNチャネルMOSTランジスタ Q_{n12} に流れる貫通電流を阻止する作用をなす。

【0022】出力ノードN11にはさらに、当該ノードN11の論理状態をラッチするラッチ回路15が接続されている。このラッチ回路15は、互いに逆極性で並列接続された2つのC-MOSインバータ16、17によって構成されている。C-MOSインバータ16は、正電源 V_{dd} と負電源 V_{ss} の間に直列に接続されたPチャネルMOSTランジスタ Q_{p21} およびNチャネルMOSTランジスタ Q_{n21} によって構成され、これらMOSTランジスタ Q_{p21} 、 Q_{n21} の各ゲート電極が出力ノードN11に共通に接続されている。

【0023】C-MOSインバータ17も同様に、正電源 V_{dd} と負電源 V_{ss} の間に直列に接続されたPチャネルMOSTランジスタ Q_{p22} およびNチャネルMOSTランジスタ Q_{n22} によって構成され、これらMOSTランジスタ Q_{p22} 、 Q_{n22} の各ゲート電極がC-MOSインバータ16の出力端（ Q_{p21} 、 Q_{n21} のドレイン共通接続点）に共通に接続され、ドレイン共通接続点がC-MOSインバータ16の入力端（ Q_{p21} 、 Q_{n21} のゲート共通接続点）に接続されている。

【0024】次に、上記構成の回路動作について、図2のタイミングチャートを用いて説明する。

【0025】まず、3ビットの入力データ X_0 、 X_1 、 X_2 の各論理が例えば(100)の状態のときには、本デコーダは(101)に対応のものであることから、非選択状態にある。また、リセットパルス $reset$ がローレベルとなるリセット期間Aでは、出力ノードN11の電位（出力電圧 out ）が V_{dd} にリセット（リフレッシュ）される。そして、入力データ X_0 、 X_1 、 X_2 の各論理が(101)の状態になると、NチャネルMOSTランジスタ Q_{n11} 、PチャネルMOSTランジスタ Q_{p11} およびNチャネルMOSTランジスタ Q_{n12} が全てオン状態となる。

【0026】このリセット期間Aにおいて、NチャネルMOSTランジスタ Q_{n11} 、PチャネルMOSTランジスタ Q_{p11} およびNチャネルMOSTランジスタ Q_{n12} が全てオン状態となったとしても、NチャネルMOSTランジスタ Q_{n13} がそのゲート電極にローレベルのリセットパルス $reset$ が印加され、オフ状態にあることから、正電源 V_{dd} と負電源 V_{ss} が短絡状態となってNチャネルMOSTランジスタ Q_{n11} 、PチャネルMOSTランジスタ Q_{p11} およびNチャネルMOSTランジスタ Q_{n12} に貫通電流が流れることはない。

【0027】そして、リセット期間Aが経過すると、ロ

ーレベルのリセットパルス $reset$ が消滅し、PチャネルMOSトランジスタ Q_{p12} がオフ状態となる一方、NチャネルMOSトランジスタ Q_{n13} がオン状態となる。したがって、NチャネルMOSトランジスタ Q_{n11} 、PチャネルMOSトランジスタ Q_{p11} およびNチャネルMOSトランジスタ Q_{n12} が全てオン状態にあることから、出力ノード $N11$ の電位が V_{dd} (論理1) から V_{ss} (論理0) に遷移し、本デコーダは選択状態となる。この出力ノード $N11$ の論理状態はラッチ回路15に、次のリセット期間Aまでの期間Bの間ラッチされる。

【0028】上述したように、本実施形態に係るデコーダにおいては、入力データのビット数に対応したトランジスタ Q_{n11} 、 Q_{p11} 、 Q_{n12} 、出力ノード $N11$ をリセット (リフレッシュ) するトランジスタ Q_{p12} および出力ノード $N11$ の論理状態をラッチするラッチ回路15によって構成されているので、入力配線はビット数に対応した数のデータ線11~13と、1本のリセット線14で良く、入力データのビット数が増えても、そのビット数の数だけトランジスタが増えるだけであり、シンプルなレイアウトを実現できるとともに、高歩留化が可能となる。しかも、ダイナミックな回路でありながら、低消費電力に抑えることが可能である。

【0029】なお、上記実施形態においては、3つのトランジスタ Q_{n11} 、 Q_{p11} 、 Q_{n12} と出力ノード $N11$ の間に、リセット期間Aでの貫通電流を阻止するためのNチャネルMOSトランジスタ Q_{n13} を設ける構成としたが、貫通電流を無視できるのであれば、図3に示すように、貫通電流を阻止するためのNチャネルMOSトランジスタ Q_{n13} は不要となる。その結果、トランジスタを1つ削減できることになる。

【0030】また、上記実施形態では、出力ノード $N11$ の論理状態をラッチする手段として、互いに逆極性で並列接続された2つのC-MOSインバータ16、17からなるラッチ回路15を用いたが、これに限定されるものではなく、例えば図4に示すように、出力ノード $N11$ と負電源 V_{ss} の間に接続したキャパシタ18であっても良く、要は、出力ノード $N11$ の論理状態をラッチできる構成のものであれば良い。

【0031】このとき、入力端と出力端が共通に接続されることでラッチ回路15として用いられていた2段縦続接続のC-MOSインバータ16、17は、入力端と出力端を接続しないようにすることで、波形整形回路15'として機能することになる。なお、出力ノード11の電位状態が安定しており、波形整形を行う必要がない場合には、C-MOSインバータ16、17は不要となり、トランジスタの数をさらに削減できることになる。ただし、出力ノード $N11$ の論理と逆極性の出力を導出する必要がある場合には、初段のC-MOSインバータ16についてはそのまま残しておく必要がある。

【0032】また、上記実施形態あるいはその変形例に係るデコーダを単位ユニットとし、この単位ユニットを8個並列に接続し、スイッチ素子である3個のMOSトランジスタの導電型 (Pチャネル/Nチャネル) を各ユニットごとに適宜選定することにより、図8の論理表に示すように、3ビットの入力データ $X0 \sim X2$ に基づいて8個の出力 $Y0 \sim Y7$ のうちの1つを指定する3ビットのデコーダを構成できる。また、例えば4ビットのデコーダを構成する場合には、スイッチ素子を4個設けるとともに、単位ユニットを16 ($=2^4$) 個並列に接続するようにすれば良い。

【0033】また、上述したように入力データのビット数に対応した個数だけ単位ユニットを並列に接続してなる多ビットのデコーダを用いて、そのビット数に対応した階調となる基準電圧の中から入力データに対応した1つの基準電圧を選択してアナログ信号として出力するデジタルアナログ変換回路を構成することができる。図5に、例えば図1に示す3ビットのデコーダを用いたデジタルアナログ変換回路の回路構成の一例を示す。

【0034】図5において、8階調となる基準電圧1~8を与える電圧線21~28の各々と1本の信号線29の間には、アナログスイッチ31~38が接続されている。アナログスイッチ31~38の各々は、C-MOSトランジスタによって構成されており、各単位ユニットの出力ノード $N11-1 \sim N11-8$ の電位である各単位ユニット出力およびその反転出力、即ち互いに逆極性の2つのデコード出力によってオン/オフ制御される。

【0035】本実施形態においては、この反転出力を得るインバータとして、各単位ユニットごとに設けられたラッチ回路15-1~15-8の各初段のC-MOSインバータ16 (図1を参照) を兼用している。すなわち、ラッチ回路15-1~15-8の各初段のC-MOSインバータ16の入力と出力が互いに逆極性の2つのデコード出力としてアナログスイッチ31~38に供給されるようになっている。

【0036】また、各単位ユニットにおける3つのMOSトランジスタの導電型として、入力データ $X0 \sim X2$ の各ビットの8通りの論理の組み合わせに対応して、 $X0$ 、 $X1$ 、 $X2$ のビットの順に、基準電圧1では全てPチャネル、基準電圧2ではNチャネル、Pチャネル、Pチャネル、基準電圧3ではPチャネル、Nチャネル、Pチャネル、基準電圧4ではNチャネル、Nチャネル、Pチャネル、基準電圧5ではPチャネル、Pチャネル、Nチャネル、基準電圧6ではNチャネル、Pチャネル、Nチャネル、基準電圧7ではPチャネル、Nチャネル、Nチャネル、基準電圧8では全てNチャネルが設定される。

【0037】このように、本発明に係るデコーダを単位ユニットとし、この単位ユニットを入力データのビット数に対応した数だけ並列に接続してデジタルアナログ変

換回路を構成することにより、入力配線はビット数に対応した数、例えば3ビットの場合には3本のデータ線11～13と、1本のリセット線14で多ビットのデコーダを構成できるため、シンプルなレイアウトを実現できる。

【0038】また、トランジスタの数については、3ビットのデコーダを比較した場合は、図11に示す従来例に係る単位ユニットでは、NAND回路として6個、インバータとして2個、C-MOSアナログスイッチとして2個の計10個のトランジスタが必要となるのに対し、本実施形態に係る単位ユニットでは、スイッチ手段として3個、リセット手段として1個、貫通電流の阻止手段として1個、ラッチ回路15として4個、C-MOSアナログスイッチとして2個の計11個のトランジスタが必要となり、従来例の方が1個少ない。

【0039】しかしながら、入力データのビット数が増えた場合に、NAND回路を用いた従来例に係る単位ユニットでは、NAND回路のトランジスタ数がビット数の2倍ずつ増加するのに対して、本実施形態に係る単位ユニットでは、スイッチ手段のトランジスタ数がビット数の数だけ増加するのみであるため、入力データのビット数が増える程トランジスタ数の削減効果は大きく、多ビットデコーダ全体の構成を考えた場合その効果は極めて大である。

【0040】以上説明した本実施形態に係るデジタルアナログ変換回路は、例えば、アクティブマトリクス型液晶表示装置における水平駆動回路内のデジタルアナログ変換回路として用いられる。図6に、アクティブマトリクス型液晶表示装置の構成の一例を示す。

【0041】図6において、複数行の走査線（走査電極）41の各々と複数列の信号線（信号電極）42の各々の交差部には複数個の画素43が2次元配置されている。これら画素43の各々は、走査線41にゲート電極が、信号線42にソース電極がそれぞれ接続されたスイッチ素子である例えばTFT（thin film transistor；薄膜トランジスタ）44およびこのTFT44のドレイン電極に画素電極が接続された液晶セル45から構成されている。

【0042】画素43の各々において、液晶セル45には画素電極に対向して対向電極が設けられている。対向電極は図6では模式的に示されているが、通常は、全ての画素電極に共通に設けられた1個の誘電層があり、対向電極には一定の電圧がコモン電圧として印加される。なお、図示しないが、通常は、TFT44のリークの許容性を高めるために補助容量も設けられている。

【0043】複数個の画素43を列単位で選択して駆動するための水平駆動回路46は、水平走査パルスを順次出力する水平シフトレジスタ回路47と、デジタル画像データを取り込む配線部48と、この取り込んだデジタル画像データを順次格納するデジタルデータメモリ回路

49と、データのレベル変換をなすレベル変換回路50と、デジタルデータをアナログデータに変換するデジタルアナログ変換回路51とから構成されている。

【0044】一方、複数個の画素43を行単位で選択して駆動するための垂直駆動回路52は、垂直走査することによって垂直走査パルスを順次出力する垂直シフトレジスタ回路53と、この垂直シフトレジスタ回路53から順次出力される垂直走査パルスにตอบสนองして走査線41を直接駆動する出力バッファ回路54とから構成されている。

【0045】上記構成のアクティブマトリクス型液晶表示装置において、水平シフトレジスタ回路47は、タイミング生成回路55から供給されるスタート信号を順次転送し、その各々のレジスタ段から順に水平走査パルスを出力する。すると、この水平走査パルスにตอบสนองしてデータ配線部48を介してデータが取り込まれ、デジタルデータメモリ回路49に格納される。デジタルデータメモリ回路49に格納されたデータは、アウトプット・イネーブル信号にตอบสนองして一括して出力され、レベル変換回路50を介してデジタルアナログ変換回路51に供給される。

【0046】デジタルアナログ変換回路51は、各列ごとに、例えば3ビットの入力データX0～X2の場合、8階調となる基準電圧1～8の中から、入力データX0～X2に対応した1つの基準電圧（アナログ電圧）を選択して出力する。このデジタルアナログ変換回路51として、先述した本発明に係るデコーダを用いて構成されたデジタルアナログ変換回路（図5を参照）を用いる。

【0047】ここで、アクティブマトリクス型液晶表示装置における水平駆動回路46内のデジタルアナログ変換回路51として、図1の回路を基本回路とする図5に示す本発明に係るデジタルアナログ変換回路を用いた場合の回路動作について、再び図2のタイミングチャートを用いて説明する。

【0048】まず、リセットパルスresetは1水平期間のうちに一回発生する。これにより、全ての信号の基準電圧を選択するアナログスイッチ31～38を含むデコーダが非選択状態となり、各画素43にTFT44を介して接続されている信号線42（図5の信号線29に相当）を高インピーダンスにする。また、入力データX0～X2は、水平期間に同時サンプリングし直す線順次パルスである。この入力データX0～X2がサンプリングし直されるタイミングは、リセット期間A内となるように調整する。したがって、そのリセット期間Aに書き換えられたデータが、リセット期間Aが終了した瞬間に全てのデコーダに入力され、選択すべきデコーダの1つが選択される。

【0049】このように、少ないトランジスタ数で構成でき、入力配線の本数も少ないことから、シンプルなレイアウトを実現できるという特長を持つデジタルアナロ

グ変換回路を用いてアクティブマトリクス型液晶表示装置の駆動系を構成することにより、当該駆動系を液晶パネルと同一基板上に作成する場合において、画素の狭ピッチ化が進められても、レイアウト上何ら問題となることはない。言い換えれば、画素の狭ピッチ化に寄与でき、画素の高精細化に有利なものとなる。

【0050】

【発明の効果】以上説明したように、本発明によれば、 n ビット（ n は2以上の整数）の入力データの各ビットの論理に応じてオン／オフ動作をする n 個のスイッチ手段を第1電源と出力ノードの間に直列に接続し、出力ノードの電位を第2電源の電源電圧にリセットするリセット手段を設けるとともに、出力ノードの論理状態をラッチするラッチ手段を設けた構成としたことにより、入力配線はビット数に対応した数のデータ線と、1本のリセット線で済み、入力データのビット数が増加しても、そのビット数の数だけトランジスタが増えるだけであり、シンプルなレイアウトを実現できるとともに、高歩留化が可能となり、しかもダイナミックな回路でありながら、低消費電力に抑えることが可能となる。

【0051】また、本発明によるデコーダを単位ユニットとし、この単位ユニットを入力データのビット数に対応した数だけ並列に接続してデジタルアナログ変換回路を構成した場合にも、入力配線はビット数に対応した数のデータ線と、1本のリセット線で済み、入力データのビット数が増加しても、そのビット数の数だけトランジスタが増えるだけであり、シンプルなレイアウトを実現できるとともに、高歩留化が可能となり、しかもダイナミックな回路でありながら、低消費電力に抑えることが可能となる。

【0052】さらに、マトリクス型液晶表示装置の駆動回路において、その水平駆動回路内のデジタルアナログ回路を、本発明によるデジタルアナログ回路を用いて構成することにより、少ないトランジスタ数で構成でき、入力配線の本数も少ないことから、当該デジタルアナロ

グ変換回路がシンプルなレイアウトを実現できるという特長を持つため、当該駆動回路を液晶パネルと同一基板上に作成する場合において、画素の狭ピッチ化が進められても、レイアウト上何ら問題となることはなく、したがって画素の狭ピッチ化に寄与でき、画素の高精細化に有利となる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示す回路図である。

【図2】図1の回路動作を説明するためのタイミングチャートである。

【図3】本実施形態の一変形例を示す回路図である。

【図4】本実施形態の他の変形例を示す回路図である。

【図5】本発明に係るデジタルアナログ変換回路の構成の一例を示す回路図である。

【図6】本発明に係るアクティブマトリクス型液晶表示装置の一例を示す概略構成図である。

【図7】3ビットデコーダの従来例を示すブロック図である。

【図8】3ビットデコーダの論理表を示す図である。

【図9】3入力NAND回路の構成の一例を示す回路図である。

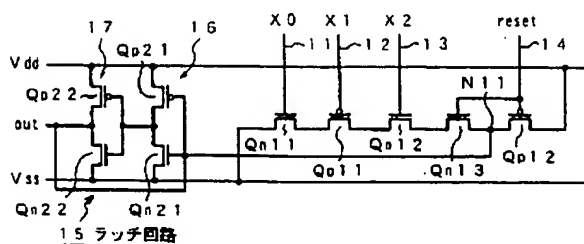
【図10】デジタルアナログ変換回路の従来例を示すブロック図である。

【図11】従来のデジタルアナログ変換回路における単位ユニットの構成の一例を示す回路図である。

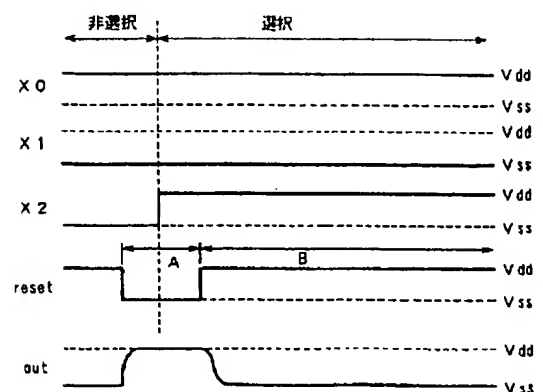
【符号の説明】

11, 12, 13…データ線、14…リセット線、15, 15-1～15-8…ラッチ回路、16, 17…C-MOSインバータ、18…キャパシタ、21～28…電圧線、29, 42…信号線、31～38…C-MOSアナログスイッチ、41…走査線、43…画素、44…TFT（薄膜トランジスタ）、45…液晶セル、46…水平駆動回路、51…デジタルアナログ変換回路、52…垂直駆動回路、N11, N11-1～N11-8…出力ノード

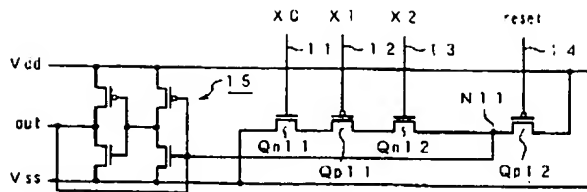
【図1】



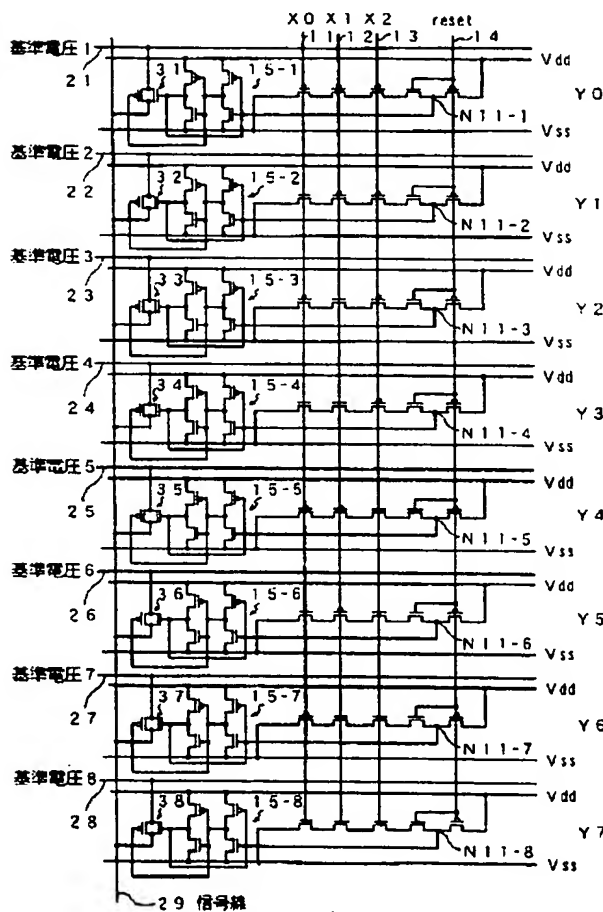
【図2】



【図3】



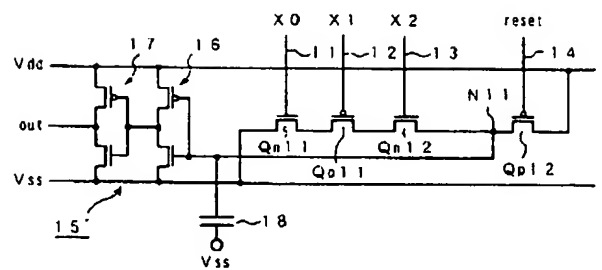
【図5】



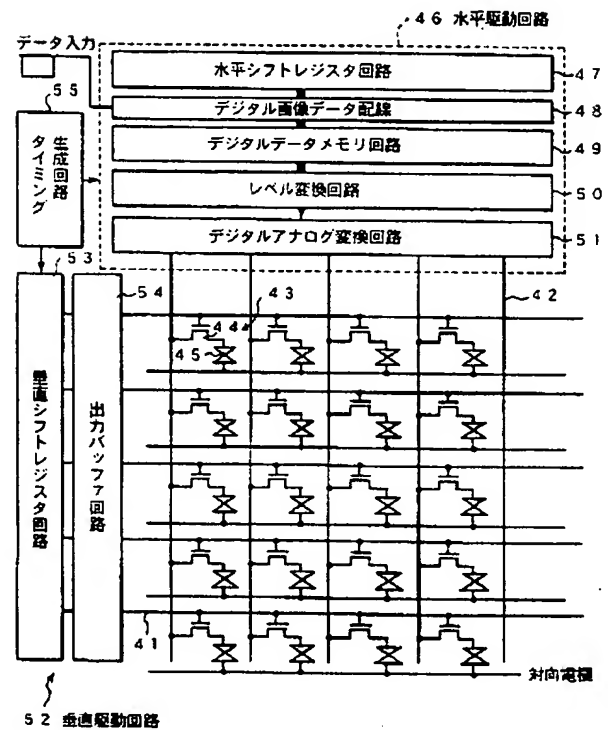
【図8】

X0	X1	X2	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	0	1	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

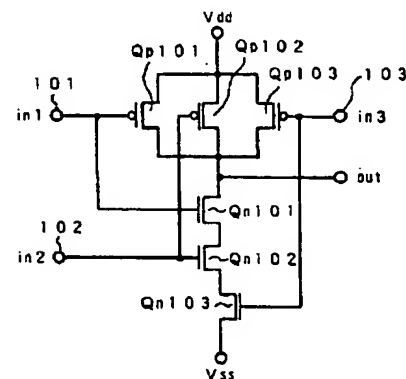
【図4】



【図6】



【図9】



THIS PAGE BLANK (USPTO)